

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-303140
 (43)Date of publication of application : 13.11.1998

(51)Int.CI. H01L 21/265
 H01L 21/28
 H01L 29/78

(21)Application number : 10-109568 (71)Applicant : ST MICROELECTRON SRL
 (22)Date of filing : 20.04.1998 (72)Inventor : FRATIN LORENZO
 RIVA CARLO

(30)Priority

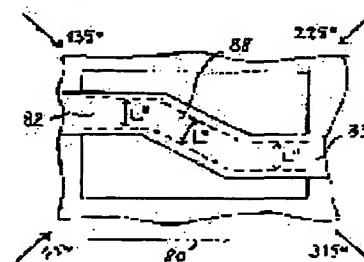
Priority number : 97 97830182 Priority date : 21.04.1997 Priority country : EP

(54) MANUFACTURE OF INSULATED GATE FIELD EFFECT TRANSISTOR

(57)Abstract:

PROBLEM TO BE SOLVED: To reduce the number of implanting processes without giving any damage to a uniform channel having a fixed length.

SOLUTION: A method for manufacturing an insulated gate field effect transistor includes a process for deciding the boundary of an active area on a substrate, a process for forming gate electrodes 82, 83, and 88 insulated from the substrate on the active area, and process for forming a source area and a drain area by performing implanting ions into the upper surface of the substrate several times by using an ion beam for doping by using the gate electrodes as a mask. The direction of the implanting beam is defined by the tilt angle of the ion beam from the upper surface of the substrate and the directions (45°, 135°, 225°, and 315°) of the ion beam from a reference line 80 on the substrate. The widths of the gate electrode strips 82, 83, and 88 are decided in accordance with the directions of the strips from the reference line 80 and the direction of the ion beam in the designing process.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-303140

(43)公開日 平成10年(1998)11月13日

(51)Int.Cl.⁶
H 01 L 21/265
21/28
29/78

識別記号

F I
H 01 L 21/265 604V
21/28
29/78 301F
301G

審査請求 未請求 請求項の数3 OL (全6頁)

(21)出願番号 特願平10-109568
(22)出願日 平成10年(1998)4月20日
(31)優先権主張番号 97830182:8
(32)優先日 1997年4月21日
(33)優先権主張国 イタリア (IT)

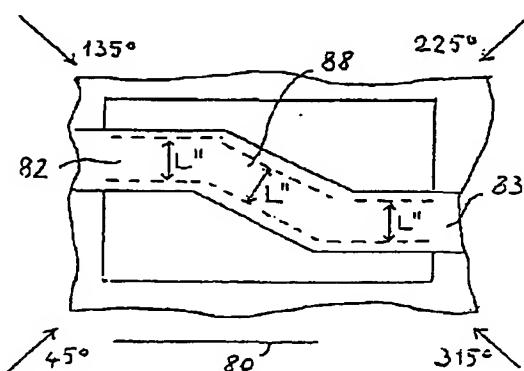
(71)出願人 591002692
エスティーマイクロエレクトロニクスエス、アール、エル。
SGS-THOMSON MICROELECTRONICS SRL
イタリア国 ミラノ 20041 アグラーテ
ブリアンツァ ヴィア ツィー オリヴァッティ 2
(72)発明者 ローレンツォ フラティン
イタリア国 ミラノ 20090 ブッチナスコ ヴィア ヴィヴィアルディ 8
(74)代理人 弁理士 杉村 晓秀 (外5名)

最終頁に続く

(54)【発明の名称】 絶縁ゲート電界効果トランジスタの製造方法

(57)【要約】

【課題】 均一で一定長のチャネルを害することなく注入工程数を減少させる。
【解決手段】 本発明の方法は、基板上に能動領域(81)の境界を定める工程と、この能動領域上に基板から絶縁されたゲート電極(82, 83, 88)を形成する工程と、ゲート電極をマスクとして用い、ドーピング用のイオンビームを用いる数回の注入工程を基板の上面に行なってソース及びドレイン領域を形成する工程とを有する。注入ビームの方向は基板の上面に対するイオンビームの傾斜角と、基板上の基準線(80)に対する向き(45°, 135°, 225°, 315°)とによって規定する。ゲート電極細条(82, 83, 88)の幅は、その設計段階で、基準線(80)に対する細条の向きと、注入イオンビームの方向とに応じて決定する。



【特許請求の範囲】

【請求項1】 半導体材料の基板(10)の上面に少なくとも1つの領域(11;81)の境界を定める工程と、この領域(11;81)上にこの領域から電気絶縁された少なくとも1つのゲート電極(13;82,83,88)を形成する工程と、各ゲート電極(13;82,83,88)をマスクとして用い、基板(10)の上面に対するイオンビームの傾斜角と、イオンビームの方向を基板の上面に垂直に投影したラインの、基準線(80)に対する向き(45°, 135°, 225°, 315°)とによって規定される予め決定した方向から生じる該イオンビームを用いたドーパントの注入を基板(10)の上面に行って、基板中で各ゲート電極(13;82,83,88)の両側に、チャネル(18)により互いに分離されたソース及びドレイン領域の対(16', 17')を形成する工程とを行なって、基板(10)上に絶縁ゲート電界効果トランジスタを形成する絶縁ゲート電界効果トランジスタの製造方法において、

少なくとも1つのゲート電極を形成するに当り、このゲート電極(82,83,88)の幅をその各部分毎の、基準線(80)に対する向きと、イオンビームの予め決定した各方向とに応じて決定し、この各方向とこれに隣接する方向との間の差を180°よりも小さくすることを特徴とする絶縁ゲート電界効果トランジスタの製造方法。

【請求項2】 請求項1に記載の絶縁ゲート電界効果トランジスタの製造方法において、前記の予め決定した方向が3つあるようにすることを特徴とする絶縁ゲート電界効果トランジスタの製造方法。

【請求項3】 請求項2に記載の絶縁ゲート電界効果トランジスタの製造方法において、前記の予め決定した方向が4つあり、これらの各方向とこれに隣接する方向との間の差を約90°とすることを特徴とする絶縁ゲート電界効果トランジスタの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、集積回路の製造方法に関するものであり、特に、半導体材料の基板の上面に少なくとも1つの領域の境界を定める工程と、この領域上にこの領域から電気絶縁された少なくとも1つのゲート電極を形成する工程と、各ゲート電極をマスクとして用い、基板の上面に対するイオンビームの傾斜角と、イオンビームの方向を基板の上面に垂直に投影したラインの、基準線に対する向きとによって規定される予め決定した方向から生じる該イオンビームを用いたドーパントの注入を基板の上面に行って、基板中で各ゲート電極の両側に、チャネルにより互いに分離されたソース及びドレイン領域の対を形成する工程とを行なって、

基板上に絶縁ゲート電界効果トランジスタを形成する絶縁ゲート電界効果トランジスタ(IGFET又はMOSFET)の製造方法に関するものである。

【0002】

【従来の技術】ゲート電極が形成されている半導体材料の基板上に規定された能動領域にソース及びドレイン領域を形成するために、最近の技術によると、ドーピングイオンを基板の表面に対し垂直な方向から可成り、例えれば45°だけずれた角度で注入している。この技術によると、通常の垂直方向の注入に比べて、ゲート電極の下側へのドーパントの侵入を助長させ、従ってソース及びドレイン間の距離、すなわちチャネル長を減少させ、ゲート電極とソース及びドレインのpn接合との重なりを改善する。この技術は特に、(チャネル長を1μmよりも短くした)極めて小型のトランジスタを形成する必要がある場合に有利である。

【0003】注入すべきドーパントのドーズ量及び幾何学的パラメータ(注入すべきイオンビームの傾斜角、基準線に対するビームの向き、回転速度)を自動的に調整し且つ管理する連続回転注入装置が上述した種類の傾斜注入を実行するために構成されている。しかし、この装置は極めて高価である。

【0004】実質的に同じ結果を得るために、通常の固定式の注入装置を用い、傾斜角を一定にするもイオンビームの向きを異ならせた複数の順次の工程で注入を行ない、ゲート電極を構成する細条の向きがいかなる場合にもゲート電極の下側にドーパントがほぼ均一に侵入するようになることができる。代表的には、ビーム方向、というよりはむしろビームを基板の表面上に垂直に投影したラインをそれぞれ45°又は22.5°だけ離間させた8回または16回の注入工程が行なわれている。しかし、この方法には可成り長い処理時間を必要とし、当然、注入装置の利用期間が対応して長くなる。

【0005】

【発明が解決しようとする課題】本発明の目的は、上述したような長い処理時間を必要とせず、しかもドーピング特性の必要な均一性を達成しうる前述した種類の製造方法を提供せんとするにある。

【0006】

【課題を解決するための手段】本発明は、半導体材料の基板の上面に少なくとも1つの領域の境界を定める工程と、この領域上にこの領域から電気絶縁された少なくとも1つのゲート電極を形成する工程と、各ゲート電極をマスクとして用い、基板の上面に対するイオンビームの傾斜角と、イオンビームの方向を基板の上面に垂直に投影したラインの、基準線に対する向きとによって規定される予め決定した方向から生じる該イオンビームを用いたドーパントの注入を基板の上面に行って、基板中で各ゲート電極の両側に、チャネルにより互いに分離されたソース及びドレイン領域の対を形成する工程とを行

なって、基板上に絶縁ゲート電界効果トランジスタを形成する絶縁ゲート電界効果トランジスタの製造方法において、少なくとも1つのゲート電極を形成するに当り、このゲート電極の幅をその各部分毎の、基準線に対する向きと、イオンビームの予め決定した各方向とに応じて決定し、この各方向とこれに隣接する方向との間の差を180°よりも小さくすることを特徴とする。

【0007】本発明は以下の実施例に関する説明から完全に理解しうるであろう。しかし、本発明は実施例に限定されるものではない。

【0008】

【発明の実施の形態】図1及び2は、n型不純物がドーピングされたシリコン基板10の一部分、特に能動領域11、すなわち二酸化シリコンプレート12により基板表面の他の領域から絶縁された領域の境界を定める部分を示す。この領域は1個以上、本例では1個の絶縁ゲート電界効果トランジスタを設けるためのものである。能動領域11上には、例えば多結晶シリコンより成る細条13が形成され、この細条は、誘電体材料、例えば二酸化シリコンの薄肉層14により基板の表面から分離されている。細条13及び誘電体材料の薄肉層14はそれぞれ、形成すべきMOS電界効果トランジスタのゲート電極及びゲート誘電体を構成する。

【0009】トランジスタのソース及びドレイン領域を形成するために、既知のように、ゲート電極をマスクとして用いてドーパント、例えば硼素を能動領域中に導入する。この処理は、形成すべきソース及びドレイン領域の深さ及び不純物濃度によって決定されるエネルギー及びドーズ量を用いたドーパントのイオン注入によって行なう。矢印15で示すイオンビームは通常図2に示すようにウェファの上面に対し垂直にしてゲート電極のエッジ、すなわち多結晶シリコン細条13の平行側面とほぼ整合されたp型ドーピング領域16、17を形成する。これに続いて基板を高温度にさらすことにより電極13のエッジ領域の下側でも注入されたドーパントを拡散させる。これにより、図4に示すように、トランジスタのソース領域16'及びドレイン領域17'が形成される。

【0010】トランジスタのチャネルは細条13の下方に位置する薄肉表面領域18により規定され、ソース領域16'及びドレイン領域17'の平行エッジにより境界が定められている。チャネルの長さLはソース及びドレイン領域の対向するエッジ間の距離を規定する。従て、このチャネルの長さはゲート電極細条13の幅よりもわずかに短い。

【0011】より小型のトランジスタを形成するには、チャネルの長さを減少させる必要がある。この長さの最小限界は、ゲート電極を構成する細条の、達成しうる最小の幅により決定される。この最小限界は、使用するホトリソグラフ技術の分解能によって決定される。基板に

対し垂直なイオンビームの注入を用いる現在の技術により達成しうる最小チャネル長は約0.5μmである。

【0012】この限界よりも短い値を得るために、前述したLATID注入技術が提案された。図1～4の素子と同じ又は対応する素子に同じ符号を付してある図5及び6は、基板の上面に対し垂直な平面であって、ゲート細条13の長さ方向に対し平行な直線上でこの上面を交差する当該平面に対し+45°で傾いたイオンビーム25による注入効果を示している。ドーパントのエネルギー及びドーズ量を上述した場合と同じにするも、傾きは上述した平面に対し-45°としたイオンビーム25'を用いて他の注入工程を同じウェファ上に行なうと、図6に示すような構造、すなわち垂直方向の注入を用い他の条件と同じとした場合に達成しうるチャネル長よりも短いチャネル長L'となった対称構造が得られる。

【0013】それぞれのチャネル、従ってそれぞれのゲート電極細条をいかなる向きにもすることができる、すなわち基板の表面上の基準ラインに対し種々の角度に配置しうる複数のトランジスタを同一基板上に形成する必要がある場合には、この基準ラインに対するイオンビームの向きを種々に変えてイオン注入を行なう必要があること明らかである。連続的に回転する注入装置を用いると均一性は最大となるも、均一に離間した向きの多数の順次の注入工程を基板に行なうことによっても良好な結果が得られる。注入エネルギー及びドーズ量は、種々の注入工程の累積効果を考慮するように決定する必要があること勿論である。前述したように、これら双方の技術には重大な欠点がある。

【0014】以下に説明する実施例では、90°の角度間隔で4回の注入工程を実施する方法を用いるも、この方法は特定の分野で有利であることを確かめた。しかし、種々の注入工程において、各ビーム方向の向きと隣接するビーム方向の向きとの間の差が180°よりも小さい場合には、3回の注入工程で又は5回以上の注入工程で本発明を実施することもできる。

【0015】図7は、能動領域71上に形成されたゲート細条73を示し、このゲート細条は基板の表面上に規定された基準線70に対し平行な2つの側縁74及び75により境界が定められている。

【0016】イオンビームの向きを種々に変えて、すなわちビームの方向を基板の表面上に垂直に投射した線と基準線70との間の角度を45°から315°まで90°のステップで変えて4回の順次の工程で基板に注入を行なう。イオンビームの傾き角、エネルギー及びドーズ量は各工程に対し変えない。これらの条件の下では、図7に破線で示すようにゲート細条73のエッジの下側にドーパントが均一に侵入し、従って一定のチャネル長L'が得られること明らかである。ゲート細条73が基準線70に対し90°の向きに延在する場合にも同じ結果が得られる。

【0017】しかし、ゲート細条73が他の角度で延在する場合には、上述した場合と同じ幅のゲート細条を用いて同じ注入工程を行なっても上述した場合と同じ長さのチャネルを形成することができない。従って、ゲート細条が種々の角度に向いた複数の部分から構成されている場合には、不均一な長さのチャネルが得られる。例えば、図8に示すように、基準線80に対し平行に向けた2つの部分82及び83を基準線に対し例えれば135°傾けた中間部分88によって互いに連結した構成の均一幅のゲート細条を考慮しよう。この構成は、能動領域81が極めて小さい場合にしばしば用いられる。その理由は、この場合、図8に破線で示すソース接点86及びドレイン接点87を形成するためのスペースを大きくとることができるのである。容易に理解しうるよう、中間部分88はその延在方向に対し直角に向いたビームにさらされるが、ドーパントがそのエッジの下側に侵入する距離は部分82及び83で達成される距離よりも長くなり、従って中間部分88が有するチャネル長L'は部分82及び83が有するチャネル長L"よりも短くなる。従って、ゲート電極全体の下側では、チャネルはトランジスタの正しい動作に必要とするような均一の長さを有さなくなる。

【0018】従来技術によれば、この不均一性に対する補償を多数の注入工程のみによって達成していたのに対し、本発明によれば、図8と同じ符号を用いて対応する素子を示している図9に示すように、中間部分88を2つの部分82及び83よりも、同じチャネル長を生じるように正確に幅広に形成する。本発明によれば、一般に、ゲート細条の幅又はゲート細条の部分部分の幅を基準ラインに対するこれらの向きや、種々の注入工程におけるイオンビームの向きとに応じて決定する。

【0019】ゲート細条の幅は、トランジスタが一部を成す集積回路の配置設計に当って決定される。ゲート細条の幅の補償調整は、後に説明するように幾何学的な考慮の上で行なう。

【0020】イオン注入により生じるpn接合の深さは、イオン注入及び熱処理の結果としてのその何らかの拡散により生ぜしめられるドーパントの分布に依存する。注入されたドーパントの、シリコン中への侵入量は投影された“値域”(projected range) R_p の項で表わすことができる。この一般に用いられている項は、いかなる拡散熱処理を行なう前の注入表面からのドーパントのピーク濃度の深さを規定する。この R_p は主として、(ビームと結晶格子との相対的な向きと関連する“チャネリング”的な効果を無視して)注入された原子種(ドーパント)とビームを加速するエネルギーとに依存する。

【0021】投影した値域は、種々の向きで行なうイオン注入がゲートの下側に侵入する種々の深さを評価し比較するパラメータとして良好な近似で用いることができ

る。この近似は、同等のドーズ量のイオン注入で生じるpn接合間で比較を行なうか、或いは熱処理を温度及び時間の点で制限する場合に有効である。

【0022】幾何学的な考慮は以下の通りである。イオン注入をシリコンの表面aに対し垂直ではなく所定の方向bで行なう場合には、ベクトル R_p を用い、これを2つの成分に、すなわち表面に対し垂直な成分 R_{pv} と表面に対し平行な成分とに分割することができる(図10)。

【0023】所定のエネルギーでシリコン中に注入されるドーパントの所定の原子種の侵入量の、表面に対し平行な成分を R_{pp} で示す。

【0024】注入方向bの表面上への投影b'が基準軸線cに対し角度θだけ傾いている注入状態(図11)を参照するに、この基準軸線に対し平行なゲート細条の下側へのドーパントの侵入量は

$$x = R_{pp} \times \sin \theta$$

となる。基準軸線cに対し角度φだけ傾むいた図11の異なる方向dを向いた他のゲート細条を参照するに、この他のゲート細条の下側へのこの注入の侵入量は

$$y = R_{pp} \times \sin(\theta + \phi)$$

となる。従ってこれら2つのゲート細条の下側への所定の注入の侵入量の差は

$$\Delta L = R_{pp} [\sin \theta - \sin(\theta + \phi)]$$

となる。

【0025】実際の適用に当っては、この評価を注入工程に含まれるあらゆる方向に拡張し、特に最大の侵入量を有するイオン注入を考慮する必要がある。種々のイオン注入工程におけるイオンビームの方向は必ずしも(上述した例では90°で)等角度で離間させる必要はなく、互いに異なる角度で離間させることもできる。

【0026】本発明による方法の利点は明らかである。すなわち、ゲート電極の幾何学的大きさを規定する規則を簡単に変更することにより、従来技術に必要とするよりも少数のイオン注入工程で均一な長さのチャネルを得ることができ、従ってイオン注入に必要とする装置の利用期間及び処理時間の双方の点で節約を達成しうる。

【図面の簡単な説明】

【図1】能動領域とゲート電極とを有するシリコン基板の一部を示す平面図である。

【図2】図1の構造の断面図である。

【図3】図2の次の処理工程における断面図である。

【図4】図3の次の処理工程における断面図である。

【図5】1回目の斜め注入工程を行なった基板の一部を示す断面図である。

【図6】図5の構成で2回目の斜めの注入工程を行なった基板の一部を示す断面図である。

【図7】能動領域とゲート電極とを有し、4つの異なる向きで注入工程を行なったシリコン基板の一部を示す平面図である。

【図8】ゲート電極を図7の構成とは異なる形状とし、4つの異なる向きで注入を行なったシリコン基板の一部を示す平面図である。

【図9】能動領域と本発明の方法で形成したゲート電極とを有するシリコン基板の一部を示す平面図である。

【図10】本発明の方法の基礎となる幾何学的な関係を表わし、注入を行なったシリコン基板を断面で示す説明図である。

【図11】図10のシリコン基板を平面で示す説明図である。

【符号の説明】

10 シリコン基板

11, 71, 81 能動領域

12 二酸化シリコンプレート

13, 73, 88 ゲート細条

14 誘電体材料の薄肉層

15, 25, 25' イオンビーム

16, 17 p型ドーピング領域

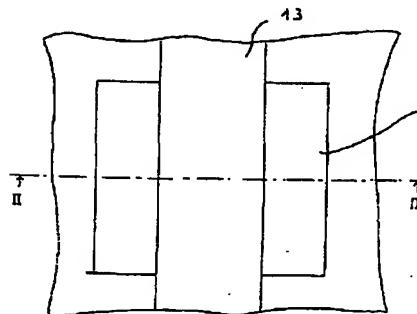
16' ソース領域

17' ドレイン領域

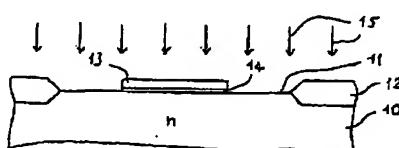
86 ソース接点

87 ドレイン接点

【図1】



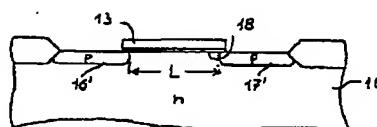
【図2】



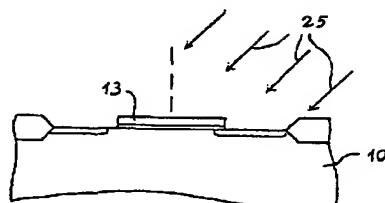
【図3】



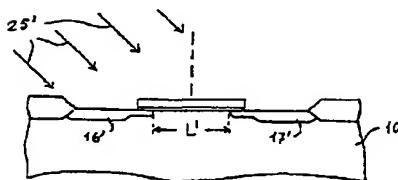
【図4】



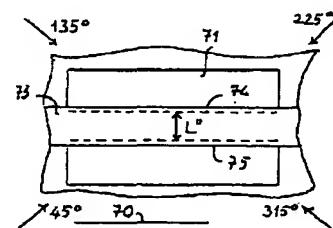
【図5】



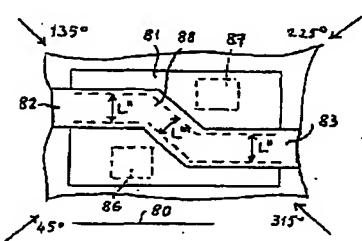
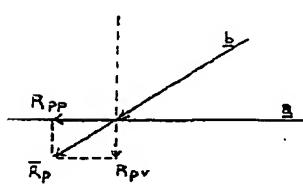
【図6】



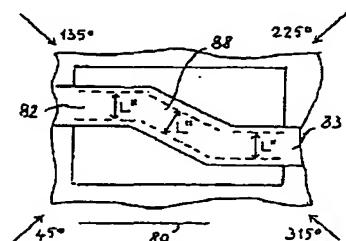
【図7】



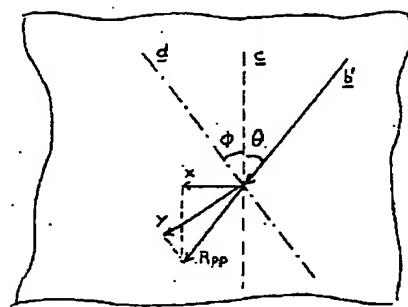
【図10】



【図9】



【図11】



フロントページの続き

(72)発明者 カルロ リヴァ
イタリア国 ミラノ 20055 レナト ヴ
ィア マナラ 8